

Docket No.: 4459-128

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Su TAO et al.

U.S. Patent Application No. *Not yet assigned*

Filed: *Herewith*

For: SEMICONDUCTOR PACKAGE

:  
:  
:  
:  
:  
:

Group Art Unit: *Not yet assigned*

Examiner: *Not yet assigned*

**CLAIM OF PRIORITY AND**  
**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim, in the present application, the priority of *Taiwanese Patent Application No. 091135502*, filed December 3, 2002. The certified copy is submitted herewith.

Respectfully submitted,

**LOWE HAUPTMAN GILMAN & BERNER, LLP**

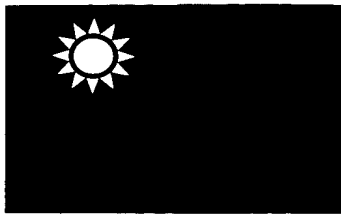


Randy A. Noranbrock  
Registration No. 42,940

for:

Benjamin J. Hauptman  
Registration No. 29,310

1700 Diagonal Road, Suite 310  
Alexandria, Virginia 22314  
(703) 684-1111 BJH/etp  
Facsimile: (703) 518-5499  
**Date: August 27, 2003**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2002 年 12 月 03 日  
Application Date

申 請 案 號：091135502  
Application No.

申 請 人：日月光半導體製造股份有限公司  
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2003 年 4 月 10 日  
Issue Date

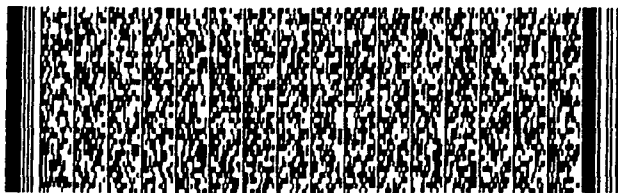
發文字號：09220357610  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	半導體封裝構造
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	1. 陶恕 2. 邱基綜
	姓 名 (英文)	1. TAO, Su 2. CHIU, Chi -Tsung
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 高雄市左營區崇實新村72-2號 2. 高雄市前鎮區台鋁四巷6號4樓
	住居所 (英 文)	1. No. 72-2, Chorng-Shyr New Village, Tso Ying District, Kaohsiung, Taiwan 2. 4Fl., No. 6, Tailiu 4th Lane, Chianjen Chiu, Kaohsiung, Taiwan
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 811高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd Rd., Nantze Export Processing Zone, Kaohsiung, Taiwan
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. CHANG, Chian -Seng



四、中文發明摘要 (發明名稱：半導體封裝構造)

一種半導體封裝構造，包括一第一晶片、一基板、一第二晶片、以及一封膠體。該第一晶片界定一主動表面，並具有高頻元件，其於該主動表面上界定一高頻區域。該基板承載該晶片，並電性連接至該第一晶片。該中間層係配置於該第一晶片上，具有一貫穿開口，定位於該高頻區域上。該第二晶片配置於該中間層上，電性連接至該基板或該第一晶片其中之一者上。該封膠體包封該第一晶片、該中間層、該第二晶片、及該基板之部分。

陸、英文發明摘要 (發明名稱：)



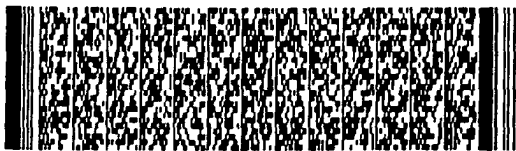
四、中文發明摘要 (發明名稱：半導體封裝構造)

伍、(一)、本案代表圖為：第\_\_\_\_2\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

100	半導體封裝構造	112	封膠體
114	基板	116	連接線
118	第一晶片	120	高頻區域
124	錫球	126	主動表面
128	黏著層	130	第二晶片
132	中間層	134	凹處
136	連接線		

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明領域】

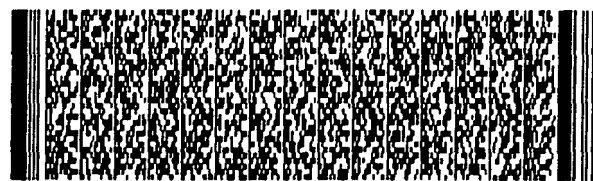
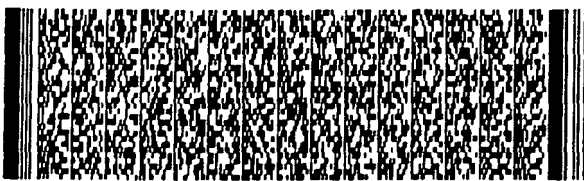
本發明係有關於一種具有高頻元件之半導體封裝構造，特別有關於一種半導體封裝構造具有空腔，其配置對應於該半導體裝置之高頻元件上，藉以避免封膠體影響該高頻元件。

### 【先前技術】

半導體封裝主要具有四個功能，包括：訊號的連接、電源的連接、熱量的散發、以及保護。一般而言，半導體晶片係先形成一包封體(enclosure)，例如單一晶片模組(SCM)或晶片承載器(chip carrier)，稱為第一階段的封裝，亦即半導體封裝。這些封裝後的晶片，伴隨著其他的元件，諸如電容、電阻、電桿、濾波器、開關、光學元件、及RF元件等等，係於第二階段封裝中，組裝在一印刷電路板上。

先前技術中，已經存在有各種不同型式之半導體封裝構造，諸如小外形封裝(Small Outline Package; SOP)、四方平坦封裝(Quad Flat Package; QFP)、球格陣列封裝構造(Ball Grid Array; BGA)等等。

參考第1圖，其顯示一典型之球格陣列半導體封裝構造10。該封裝構造10大體上包括一基板14及一晶片18，藉由一黏著層28附著於該基板14上。該晶片18係藉由複數條連接線16，電性連接至該基板14。一封膠體12係包封該基板14、該晶片18、以及該連接線16。該基板14另具有複數個錫球24，用以電性連接至一外部電路。



## 五、發明說明 (2)

該晶片18之主動表面26通常係與該封膠體12直接接觸。然而，於一特定用途中，該晶片18具有一高頻電路或一高頻元件，配置於一高頻區域20中。該高頻元件之訊號傳遞速度 $V_p$ 符合下列公式：

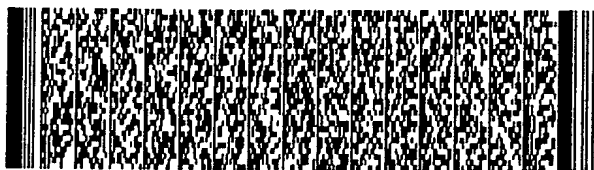
$V_p = C / \sqrt{(\epsilon_r)}$  其中 $C$ 係為光速， $\epsilon_r$ 係為有效介電常數。當該高頻元件暴露於空氣中時，有效的介電常數係介於1(空氣介電常數)和4(G-10或FR-4基板之介電常數)之間。然而，當該高頻區域20為該封膠體12所覆蓋時，該封膠體12之介電常數係大於該空氣之介電常數，該有效介電常數將介於該封膠體12之介電常數與該基板14之介電常數)之間。因此，該有效介電常數會大於暴露於空氣中者，而造成傳遞速度的降低。再者，該高頻電路之損耗因數或損耗正切(Loss Tangent)亦將會因為該封膠體12之覆蓋而增加。

有鑑於此，便有需要提供一種半導體封裝構造，具有空腔，以避免高頻元件與封膠體接觸，而所造成的缺點。

### 【發明概要】

本發明之一目的在於提供一種半導體封裝構造，具有一空腔覆蓋於一半導體晶片之高頻區域上，藉以避免高頻電路傳遞速度的改變。

為達上述目的，本發明提供一種半導體封裝構造，包括一第一晶片、一基板、一第二晶片、以及一封膠體。該第一晶片界定一主動表面，並具有高頻元件，其於該主動表面上界定一高頻區域。該基板承載該晶片，並電性連接至





### 五、發明說明 (3)

該第一晶片。該中間層係配置於該第一晶片上，具有一凹處，定位於該高頻區域上。該第二晶片配置於該中間層上，電性連接至該基板或該第一晶片中之一者上。該封膠體包封該第一晶片、該中間層、該第二晶片、及該基板之部分。

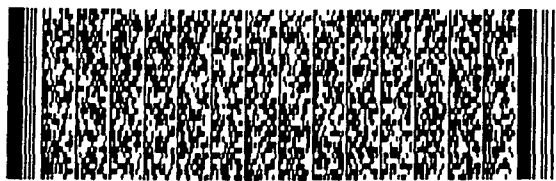
綜前所述，根據本發明之半導體封裝構造之高頻元件，並不為封膠體所覆蓋或接觸，因此該高頻元件之傳播速度將不致於受到該封膠體的影響而降低。再者，該高頻元件之損耗正切(Loss Tangent)亦不致於因該封膠體之覆蓋而增加。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯，下文特舉本發明較佳實施例，並配合所附圖示，作詳細說明如下。

#### 【發明說明】

參考第2圖，其顯示根據本發明之一實施例之半導體封裝構造100。該封裝構造100係為一多晶片(Multi-chip)封裝構造，具有一第一晶片118，藉由黏著層128配置於一基板114上以及一第二晶片130，配置於該第一晶片118上方。

該第一晶片118具有一主動表面(Active Surface)126，係藉由複數條連接線116，電性連接至該基板114。該基板114另具有複數個錫球124，用以連接至一外部電路。該第一晶片118具有高頻電路或高頻元件，配置於該第一晶片118之該主動表面126上之一高頻區域120。



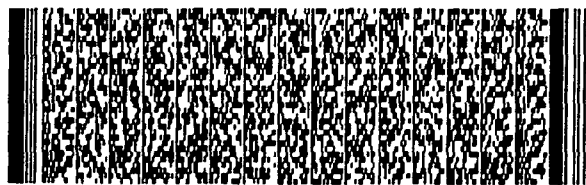
#### 五、發明說明 (4)

一中間層132係配置於該第一晶片118之該主動表面126上，該中間層132具有一凹處134，與該高頻區域120相對應。該中間層132可為一黏著劑，諸如環氧樹脂(Epoxy)所形成，且其可藉由網版印刷，塗覆於該主動表面126，並藉此形成該凹處134。該第二晶片130係配置於該中間層132上，並藉由複數條連接線136電性連接至該第一晶片118。一封膠體112係包封該基板114、該第一晶片118、該中間層132、該第二晶片130、以及該連接線116、136。

於此配置下，該第一晶片118之該高頻區域120係暴露於該凹處134中，因此該高頻區域120中之高頻元件之傳播速度將不致受到該封膠體112的影響而降低。再者，該高頻元件之損耗正切(Loss Tangent)亦不致於因該封膠體112之覆蓋而增加。請注意，雖然圖示之該凹處134係為一貫穿孔，但該凹處134係用以於該高頻區域上提供一空間，故亦可為一非貫穿孔，亦即一凹陷。

再參考第3圖，其顯示根據本發明之另一實施例之一半導體封裝構造200。該封裝構造200係為一覆晶型式之封裝構造，且具有一晶片218，其具有一主動表面226，藉由凸塊(bump)216，電性連接至一基板214。一封膠體212係藉由底膠充填配送製程(underfill dispensing process)充填於該晶片218之該主動表面226及該基板214之間。該基板214係適用於電性連接至一外部電路。

該晶片218具有高頻電路或高頻元件，配置於該晶片218之該主動表面226上之一高頻區域220。如圖所示，該晶片



#### 五、發明說明 (5)

218 之主動表面226 係面向該基板214。該封膠體212 具有空腔234(圖示為一貫穿孔)，其配置對應於該高頻區域220。於此配置下，該高頻區域220 係暴露於該空腔234 中，因此該高頻區域220 中之高頻元件之傳播速度將不致受到該封膠體212 的影響而降低。

精於本技藝者將可瞭解，藉由預先配送成形之攔壩(Dam)(圖中未示)，可於該封膠體212 中形成該空腔或貫穿孔234。

再者，該基板214 與該高頻區域220 之對應處，亦提供一凹口236，藉此增加該高頻區域220 上方之空間，且因此進一步避免影響該高頻區域220。

現請參考第4圖，其顯示根據本發明之又另一實施例之半導體封裝構造300。該封裝構造300 具有一晶片318，藉由一黏著層328 配置於一基板314 上。該晶片318 具有一主動表面(Active Surface)326，係藉由複數條連接線316，電性連接至該基板314。該基板314 另具有複數個錫球324，用以連接至一外部電路。

該晶片318 具有高頻電路或高頻元件，配置於該晶片318 之該主動表面326 上之一高頻區域320。一封膠體312 係包封該基板314、該晶片318、以及該連接線316。如圖所示，該封膠體312 具有一空腔334，其配置對應於該高頻區域320。精於本技藝者將可瞭解，藉由預先覆蓋一外蓋(圖中未示)，再模造該封膠體312，便可於該封膠體312 中形成該空腔334。

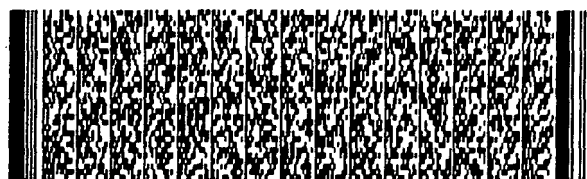


## 五、發明說明 (6)

精於本技藝者將可瞭解，本發明之原理及精神在於提供一空間，定位於一半導體晶片之高頻元件之上方，藉以避免影響該高頻元件之運作。本發明之原理並不限於應用在前文所述圖示之實施例中，亦可應用於其他的封裝構造，諸如小外形封裝(Small Outline Package ; SOP)、四方平坦封裝(Quad Flat Package ; QFP)、球格陣列封裝構造(Ball Grid Array ; BGA)等等。前述之基板亦可輕易替換為導線架。

綜前所述，根據本發明之半導體封裝構造之高頻元件，並不為封膠體所覆蓋或接觸，因此該高頻元件之傳播速度將不致於受到該封膠體的影響而降低。再者，該高頻元件之損耗正切(Loss Tangent)亦不致於因該封膠體之覆蓋而增加。

雖然前述的描述及圖示已揭示本發明之較佳實施例，必須瞭解到各種增添、修改和取代可能使用於本發明較佳實施例，而不會脫離如所附申請專利範圍所界定的本發明原理之精神及範圍。熟悉該技藝者將可體會本發明可能使用於很多形式、結構、佈置、比例、材料、元件和組件的修改。因此，本文於此所揭示的實施例於所有觀點，應被視為用以說明本發明，而非用以限制本發明。本發明的範圍應由後附申請專利範圍所界定，並涵蓋其合法均等物，並不限於先前的描述。



## 圖式簡單說明

### 【圖示說明】

第1圖：為先前技術之一半導體封裝構造之一剖面示意圖。

第2圖：為根據本發明之一實施例之半導體封裝構造之剖面示意圖。

第3圖：為根據本發明之另一實施例之半導體封裝構造之剖面示意圖。

第4圖：為根據本發明之又另一實施例之半導體封裝構造之剖面示意圖。

### 【圖號說明】

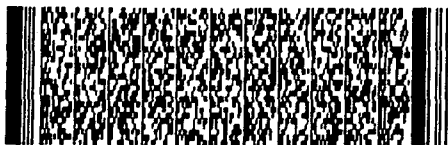
10	球格陣列半導體封裝構造	12	封膠體
14	基板	16	連接線
18	晶片	20	高頻區域
24	錫球	26	主動表面
28	黏著層	100	半導體封裝構造
112	封膠體	114	基板
116	連接線	118	第一晶片
120	高頻區域	124	錫球
126	主動表面	128	黏著層
130	第二晶片	132	中間層
134	凹處	136	連接線
200	半導體封裝構造	212	封膠體
214	基板	216	凸塊





圖式簡單說明

218	晶片	220	高頻區域
226	主動表面	234	空腔
236	凹口	300	半導體封裝構造
312	封膠體	314	基板
316	連接線	318	晶片
320	高頻區域	324	錫球
326	主動表面	328	黏著層
334	空腔		



## 六、申請專利範圍

### 1. 一種半導體封裝構造，包括：

一第一晶片，界定一主動表面，並具有高頻元件，其於該主動表面上界定一高頻區域；一基板，用以承載該晶片，並電性連接至該第一晶片；一中間層，配置於該第一晶片上，具有一凹處，定位於該高頻區域上；一第二晶片，配置於該中間層上，電性連接至該基板或該第一晶片中之一者上；以及一封膠體，包封該第一晶片、該中間層、該第二晶片、及該基板之部分。

2. 依申請專利範圍第1項之半導體封裝構造，其中該基板另具有複數個錫球，用以連接至一外部電路。

3. 依申請專利範圍第1項之半導體封裝構造，另包含：  
複數條連接線，用以將該第一晶片電性連接至該基板。

4. 依申請專利範圍第1項之半導體封裝構造，另包含：  
複數條連接線，用以將該二晶片電性連接至該第一晶片或該基板中之一者。

5. 依申請專利範圍第1項之半導體封裝構造，其中該凹處係為一貫穿孔。

### 6. 一種半導體封裝構造，包括：

一晶片，界定一主動表面，並具有高頻元件，其於該主動





#### 六、申請專利範圍

表面上界定一高頻區域；一基板，用以承載該晶片；數個凸塊，用以將該晶片電性連接至該基板；以及一封膠體，包封該晶片之主動表面、該凸塊、及該基板之部分，並具有一空腔，定位於該高頻區域上。

7. 依申請專利範圍第6項之半導體封裝構造，其中該基板另具有複數個錫球，用以連接至一外部電路。

8. 依申請專利範圍第6項之半導體封裝構造，其中該空腔係貫穿通過該封膠體。

9. 依申請專利範圍第8項之半導體封裝構造，其中該基板另具有一凹口，配置對應於該空腔。

10. 一種半導體封裝構造，包括：

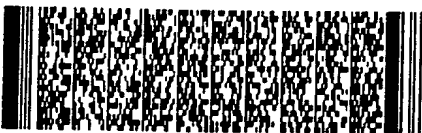
一晶片，界定一主動表面，並具有高頻元件，其於該主動表面上界定一高頻區域；一基板，用以承載該晶片，並電性連接至該晶片；一封膠體，包封該晶片之主動表面及該基板之部分；以及一空腔，位於該封膠體中，定位於該高頻區域上。

11. 依申請專利範圍第10項之半導體封裝構造，其中該基板另具有複數個錫球，用以連接至一外部電路。



六、申請專利範圍

12. 依申請專利範圍第10項之半導體封裝構造，另包含：  
複數條連接線，用以將該晶片電性連接至該基板。



第 1/15 頁



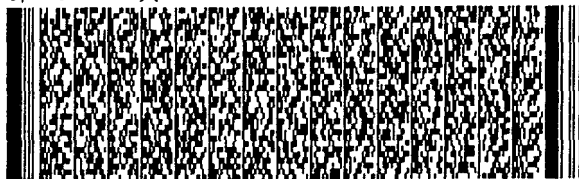
第 2/15 頁



第 4/15 頁



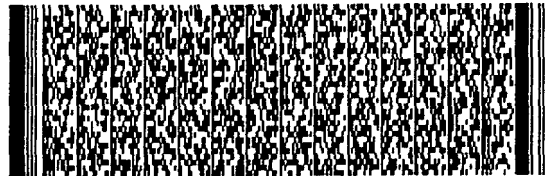
第 5/15 頁



第 6/15 頁



第 7/15 頁



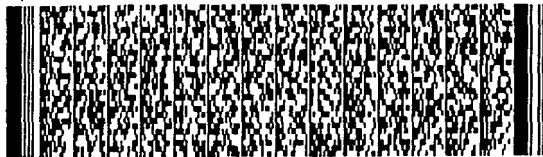
第 8/15 頁



第 9/15 頁



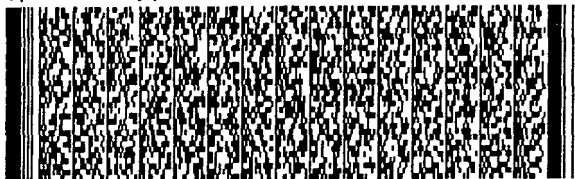
第 1/15 頁



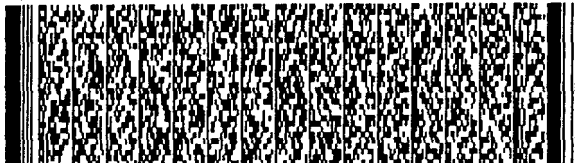
第 3/15 頁



第 5/15 頁



第 6/15 頁



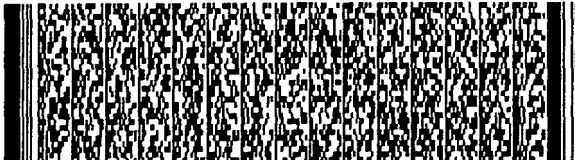
第 7/15 頁



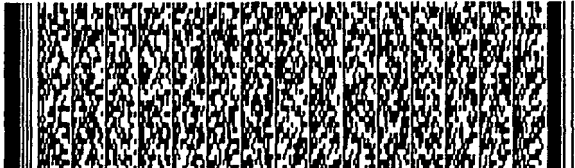
第 8/15 頁



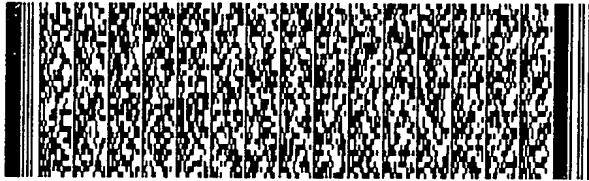
第 9/15 頁



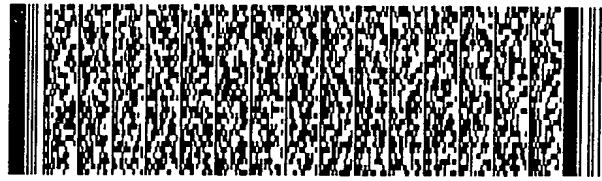
第 10/15 頁



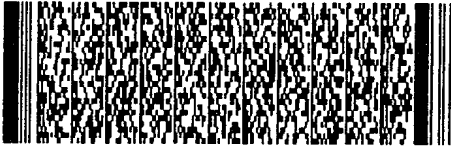
第 10/15 頁



第 11/15 頁



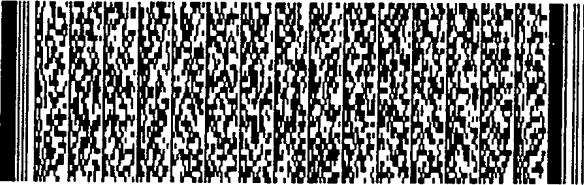
第 12/15 頁



第 13/15 頁

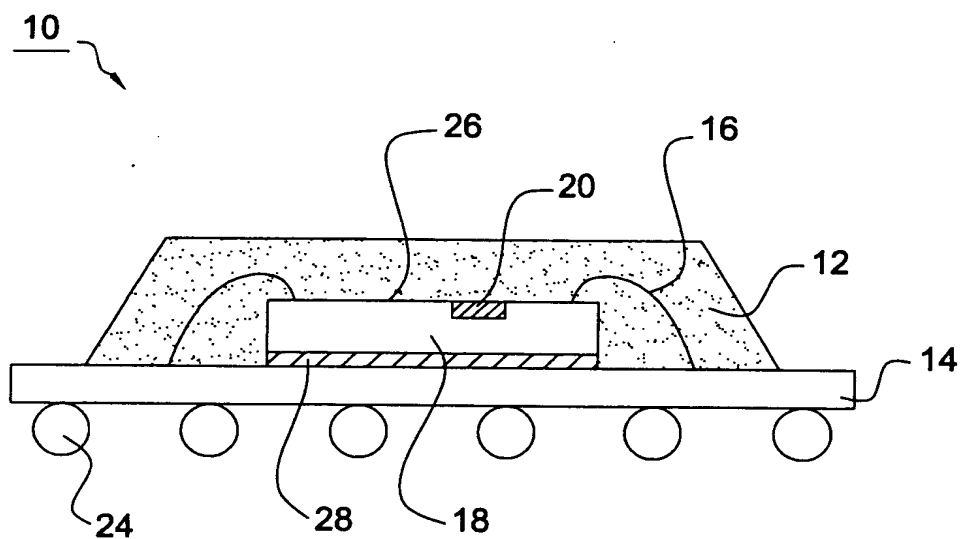


第 14/15 頁

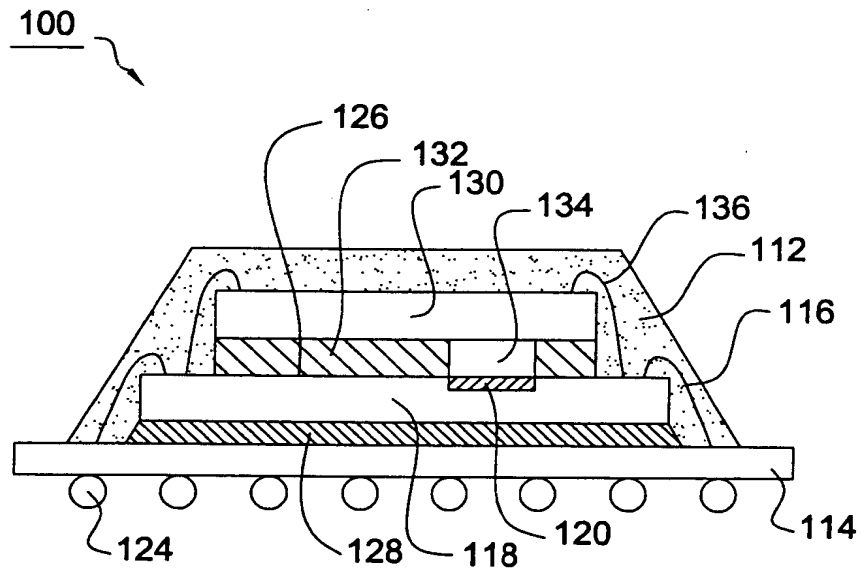


第 15/15 頁

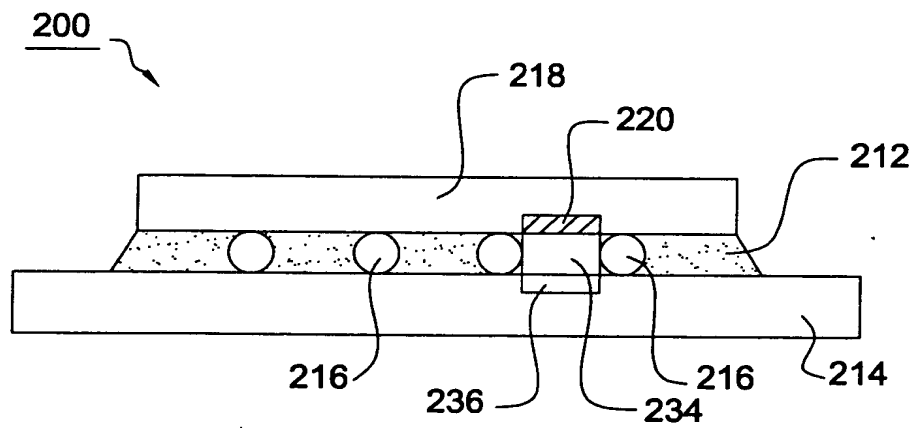




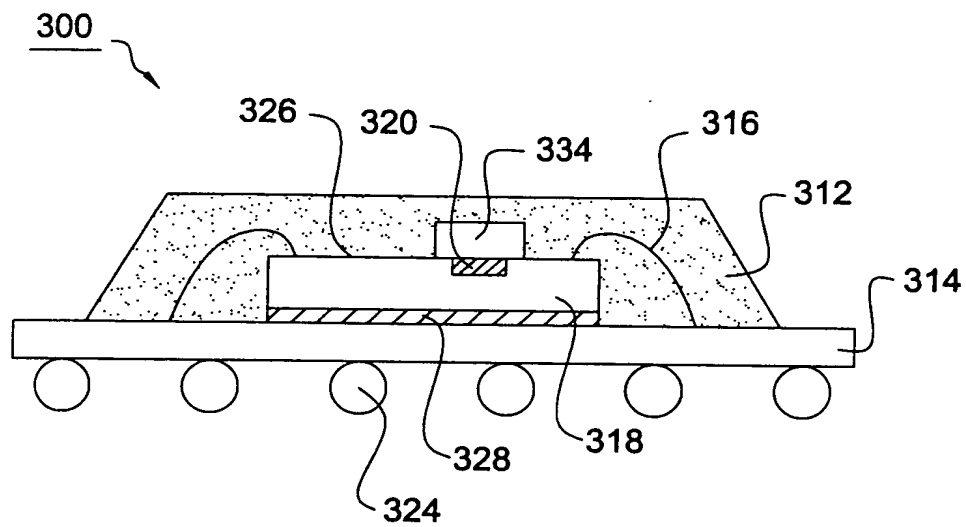
第 1 圖 (先前技術)



第 2 圖



第 3 圖



第 4 圖